

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-259114

(43)Date of publication of application : 14.09.1992

(51)Int. Cl.

H03K 19/003

(21)Application number : 03-019948

(71)Applicant : TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 13.02.1991

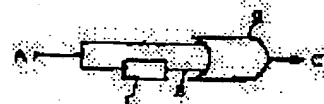
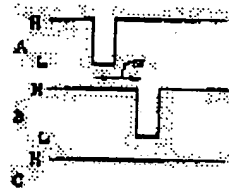
(72)Inventor : KUDO TSUNEAKI  
KOMIYAJI KAZUhide  
TOKUMARU TAKEJI

## (54) LOGIC CIRCUIT

## (57)Abstract:

PURPOSE: To eliminate a spike signal from a logic signal and to prevent malfunction by delaying an input signal for a prescribed time and allowing a logic gate to decide an output signal level according to the delay time.

CONSTITUTION: A delay circuit 1 receiving an input signal A outputs a signal B with a delay of time  $\alpha$ . The time  $\alpha$  is set depending on number of inverting gates connected in cascade. An OR gate 2 outputs OR output C of the signals A, B. The signals A, B at an L level simultaneously are not given to the OR gate. Thus, an output signal C is always at an H level even when a spike signal is caused in the input signal, resulting that the spike pulse signal is easily eliminated from the input signal and malfunction of the circuit using the output signal C is prevented. The pulse width of the spike signal desired to be eliminated is optionally set by the adjustment of the delay time  $\alpha$ . A pulse signal with a longer width than the time  $\alpha$  is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-259114

(43) 公開日 平成4年(1992)9月14日

(51) Int.Cl.<sup>5</sup>

H 0 3 K 19/003

識別記号

庁内整理番号

F I

技術表示箇所

Z 8941-5 J

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-19948

(22) 出願日 平成3年(1991)2月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 工藤 恒昭

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72) 発明者 小宮路 和秀

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 三好 秀和

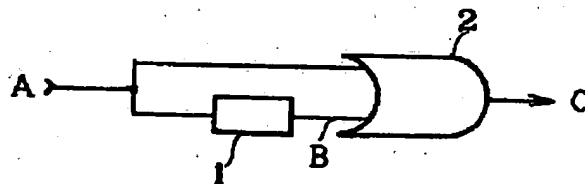
最終頁に続く

(54) 【発明の名称】 論理回路

(57) 【要約】

【目的】 この発明は、簡単な構成により、論理信号からパルス性のスパイク信号を除去し、誤動作防止に寄与することができる論理回路を提供することを目的とする。

【構成】 この発明は、入力信号を所定時間遅延して出力する遅延回路と、前記入力信号と前記遅延回路の遅延出力信号を受けて、前記遅延回路における入力信号の遅延時間にしたがって出力信号レベルを決定する論理和ゲートあるいは論理積ゲートとから構成される。



## 【特許請求の範囲】

【請求項1】 入力信号を所定時間遅延して出力する遅延手段と、前記入力信号と前記遅延手段の遅延出力信号を受けて、前記遅延手段における入力信号の遅延時間にしたがって出力信号レベルを決定する論理ゲートとを有することを特徴とする論理回路。

## 【発明の詳細な説明】

## 【0001】 【発明の目的】

## 【0002】

【産業上の利用分野】 この発明は、論理信号からパルス性のスパイク信号を除去し得る論理回路に関する。

## 【0003】

【従来の技術】 組合せ回路や順序回路等の論理回路においては、入力信号のタイミングのずれによって、出力信号のレベルが期待値と相違して誤動作する場合が生じる。以下、このような現象をデコード回路を一例に挙げて説明する。

【0004】 図13は2ビット入力4ビット出力のデコード回路の一構成を示す図である。図13において、デコード回路は、入力信号X0、X1とその反転信号/X0、/X1（以下、反転信号を信号名の前に「/」を符して記載する）とのそれぞれの論理積をとることによって、図14の真理値図に示すような出力信号Z0～Z3を得て、入力信号に対してただ1つの出力信号のみがハイレベルとなるデコード機能を実現している。

【0005】 このような構成のデコード回路において、図15のタイミングチャートに示すように、両入力信号X0、X1が同時に次のデータレベルに遷移するようなタイミングでデコード回路に与えられる場合に、入力信号X0、X1のレベルが（L、L）から（H、L）に変化する期間、すなわち、図15にAで示す期間で出力信号Z0、Z1が同時にハイレベル状態となり、図14に示す真理値と異なる動作が行われてしまう。

【0006】 このことは、入力信号X0を反転した反転信号/X0が入力信号X0に対して遅延していることに起因して生じ、図15にBで示す期間であっても同様である。このように、入力信号が同時に変化する場合に、出力信号が期待値と異なる状態にある期間は、入力信号のレベルが変化している期間であり、このような期間は予め想定することができる。したがって、このような期間を予想し、2つ以上の出力信号がハイレベル状態になっている期間は、出力信号を無効化し、出力信号が正常値になった後、出力信号を有効として出力するようにすれば、デコード回路の出力信号を入力信号として取り込む回路の誤動作を防止することができる。このようなデコード回路としては、例えば図16に示すように、入力信号X0、X1とその反転信号/X0、/X1とのそれぞれの組合せに対して、さらに出力信号の有効/無効を決定するイネーブル信号Eを組合せて論理積をとるように構成されたものがあり、図17の真理値図に

示すような論理で出力信号Z0～Z3を得ている。このようなデコード回路にあっては、入力信号X0、X1とその反転信号/X0、/X1との間に遅延が生じて、入力信号X0の立ち上がりの前後にイネーブル信号をロウレベル状態にして、出力信号を無効化することにより、図17に示す真理値の出力信号が得られる。

【0007】 これに対して、入力信号が同時に次のデータレベルに変化しない場合には、図13に示すデコード回路は、図19のタイミングチャートに示すようなタイミングで動作する場合がある。このような場合には、図19に示すように、出力信号Z0にパルス性の信号C（以下「スパイク信号」と呼ぶ）が発生することがある。このようなスパイク信号は、両入力信号X0、X1の変化がずれていることによって生じるものである。このため、このスパイク信号の発生を予測することは極めて困難となり、上述したように、イネーブル信号を用いてスパイク信号を除去することは極めて困難となる。

## 【0008】

【発明が解決しようとする課題】 以上説明したように、従来の論理回路にあっては、入力信号間のレベル変化のタイミングによって、出力信号に予測困難なスパイク信号が発生するおそれがあるといった不具合を招いていた。また、このスパイク信号は、発生が予測困難であるため、外部からの信号により防止することは極めて困難になっていた。

【0009】 このため、上記出力信号を入力信号とする回路にあっては、出力信号に正規な信号とは異なるスパイク信号が発生することにより、誤動作が引き起こされるといった不具合が生じていた。

【0010】 そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、簡単な構成により、論理信号からパルス性のスパイク信号を除去し、誤動作防止に寄与することができる論理回路を提供することにある。

## 【0011】 【発明の構成】

## 【0012】

【課題を解決するための手段】 上記目的を達成するために、この発明は、入力信号を所定時間遅延して出力する遅延手段と、前記入力信号と前記遅延手段の遅延出力信号を受けて、前記遅延手段における入力信号の遅延時間にしたがって出力信号レベルを決定する論理ゲートとから構成される。

## 【0013】

【作用】 上記構成において、この発明は、入力信号のうち遅延手段の遅延時間よりも短い幅のパルス信号を出力せず、遅延時間よりも長い幅のパルス信号を出力するようにしている。

## 【0014】

【実施例】 以下、図面を用いてこの発明の実施例を説明する。

3

【0015】図1はこの発明に係る論理回路の一実施例における構成を示す図である。同図に示す実施例の論理回路は、ロウレベルのスパイク信号を除去する回路である。図1において、論理回路は、遅延回路1と論理和(OR)ゲート2とから構成されている。

【0016】遅延回路1は、入力信号Aを受けて、この入力信号Aを所定時間 $\alpha$ だけ遅延させ、遅延信号Bを出力する。このような遅延回路1は、例えば偶数個の反転ゲートを連続接続して構成され、このようにして構成される場合に、入力信号Aを遅延させる遅延時間 $\alpha$ は、縦

10 連続接続される反転ゲートの個数によって任意に設定される。

【0017】ORゲート2は、一方の入力に入力信号Aが与えられ、他方の入力に遅延回路1の遅延信号Bが与えられており、それらの論理和を出力信号Cで与えている。このような構成において、図2に示すように、入力信号Aにパルス幅が遅延回路1の遅延時間 $\alpha$ より短いロウレベルのスパイク信号が生じた場合には、このロウレベルのスパイク信号は遅延回路1によって遅延時間 $\alpha$ だけ遅延されてORゲート2の他方の入力に与えられる。すなわち、遅延回路1の遅延信号Bは、図2に示すようになり、入力信号Aと遅延信号Bとは同時にロウレベルとなりORゲート2に与えられることはない。これにより、ORゲート2の出力信号Cは、入力信号Aにスパイク信号が生じて、常にハイレベル状態を保持することになり、スパイク信号は出力信号Cに現われず、スパイク信号が除去されることになる。このように、入力信号からパルス性のスパイク信号が容易に除去することが可能となり、出力信号Cを入力とする回路の誤動作を防止することができるようになる。

【0018】なお、除去しようとするスパイク信号のパルス幅は、遅延回路1の遅延時間 $\alpha$ を適宜調整することによって、任意に設定することが可能となる。

【0019】図3はこの発明に係る論理回路の他の実施例における構成を示す図である。

【0020】図3に示す実施例における論理回路の特徴とするところは、ハイレベルのスパイク信号を除去するようにしたことにより、入力信号Aを遅延回路1によって遅延した遅延信号Bと入力信号Aとを入力とする論理積(AND)ゲート3の出力を出力信号Cとし、図4に示すように、入力信号Aに生じたハイレベルのスパイク信号が遅延回路1によって遅延されるので、ANDゲート3の両入力が同時にハイレベル状態になることはなく、出力信号Cからスパイク信号が除去され、上記実施例と同様の効果を得ることができる。

【0021】図5及び図7はこの発明に係る論理回路の他の実施例における構成を示す図である。

【0022】図5に示す実施例における論理回路の特徴とするところは、図1に示した論理回路の特徴を多入力のORゲート4、5に適用したことにより、ORゲート

4

4、5の少なくとも1つの入力に入力信号Aを遅延回路1によって遅延した遅延信号Bを与え、他の入力に入力信号Aを与えるようにしている。

【0023】このような構成にあつては、図6のタイミングチャートに示すように、出力信号Cからロウレベルのスパイク信号が除去され、図1に示した実施例と同様の効果が得られる。

【0024】一方、図7に示す実施例における論理回路の特徴とするところは、図3に示した論理回路の特徴を多入力のANDゲート6、7に適用したことにより、ANDゲート6、7の少なくとも1つの入力に入力信号Aを遅延回路1によって遅延した遅延信号Bを与え、他の入力に入力信号Aを与えるようにしている。

【0025】このような構成にあつては、図8のタイミングチャートに示すように、出力信号Cからハイレベルのスパイク信号が除去され、図3に示した実施例と同様の効果を得ることができる。

【0026】次に、上述した本発明に係る論理回路を適用した組合せ回路あるいは順序回路について説明する。

20 【0027】図9は図3に示した論理回路を図16に示したデコーダ回路に付加した構成を示す図である。同図に示す実施例では、図16に示したデコーダ回路のそれぞれの出力に図3に示した論理回路を接続し、デコーダ回路の出力信号Z0~Z3をANDゲート3の出力として得ている。

【0028】このような構成にあつては、前述したイネーブル信号の機能と、本発明に係る論理回路におけるスパイク信号を除去する機能とによって、真理値に示す出力信号が得られ、デコーダ回路の誤動作が抑制される。

30 【0029】図10は図3に示した論理回路をD型のフリップフロップ(F/F)からなるシフトレジスタに適用した構成を示す図である。同図に示す実施例では、縦連続接続されたF/F8、9のそれぞれのクロック信号を図3に示した論理回路の出力信号としており、図11のタイミングチャートに示すように、遅延回路1の遅延時間 $\alpha$ 以上のパルス幅を有する信号Aが与えられた時にそれぞれのF/F8、9にクロック信号が与えられて、データのシフトが行なわれる。すなわち、信号Aのパルス幅が遅延回路1に設定された遅延時間 $\alpha$ 以上であるならば、これを有効信号としてクロック信号が生成されてそれぞれのF/F8、9に与えられる。

【0030】これに対して、信号Aのパルス幅が遅延時間 $\alpha$ 以下であるならば、図12のタイミングチャートに示すように、信号Aのパルス信号は無効となり、クロック信号はF/F8、9に与えられない。したがって、信号Aに生じるパルス幅が $\alpha$ 以下のパルス信号はハイレベルのスパイク信号として除去され、シフトレジスタの誤動作が防止される。

【0031】このように、上記実施例は、本発明に係る論理回路の特徴である、遅延回路1に設定された遅延時

5

間 $\alpha$ よりも小さいパルス幅の信号は出力しないということ、遅延時間 $\alpha$ よりも大きいパルス幅の信号を出力するという特徴のうち、後者の特徴を利用し、所定のパルス幅以上のパルス信号を有効とし、所定のパルス幅以下のパルス信号を無効化するという機能を本発明に係る論理回路により容易かつ簡単な構成で実現し、シフトレジスタに適用したものである。

【0032】

【発明の効果】以上説明したように、この発明によれば、入力信号と入力信号の遅延信号との論理をとり、入力信号の遅延時間に基づいて出力信号のレベルを決定するようにしたので、容易かつ簡単な構成により、入力信号における所定のパルス幅のパルス信号を除去したり、あるいは出力したりすることが可能となる。これにより、入力信号からパルス性のスパイク信号を容易に除去することができるようになり、誤動作防止に寄与することができる論理回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る論理回路の一実施例における構成を示す図である。

【図2】図1に示す回路の動作タイミングを示す図である。

【図3】この発明に係る論理回路の一実施例における構成を示す図である。

【図4】図3に示す回路の動作タイミングを示す図である。

【図5】この発明に係る論理回路の一実施例における構成を示す図である。

【図6】図5に示す回路の動作タイミングを示す図である。

(4)

6

【図7】この発明に係る論理回路の一実施例における構成を示す図である。

【図8】図7に示す回路の動作タイミングを示す図である。

【図9】図3に示す回路を付加したデコーダ回路の構成を示す図である。

【図10】図3に示す回路を付加したシフトレジスタの構成を示す図である。

【図11】図10に示すシフトレジスタの動作タイミングを示す図である。

【図12】図10に示すシフトレジスタの動作タイミングを示す図である。

【図13】従来のデコーダ回路の一構成例を示す図である。

【図14】図13に示す回路の真理値を示す図である。

【図15】図13に示す回路の動作タイミングを示す図である。

【図16】従来のデコーダ回路の他の構成例を示す図である。

【図17】図16に示す回路の真理値を示す図である。

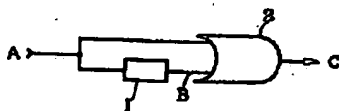
【図18】図16に示す回路の動作タイミングを示す図である。

【図19】図16に示す回路の動作タイミングを示す図である。

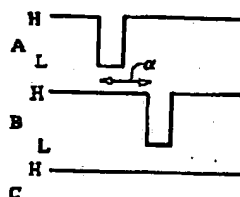
【符号の説明】

- 1 遅延回路
- 2~7 論理ゲート
- 8、9 フリップフロップ回路
- $\alpha$  遅延回路による遅れ時間

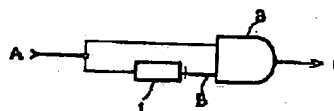
【図1】



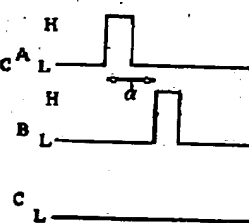
【図2】



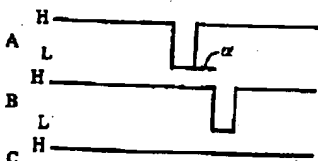
【図3】



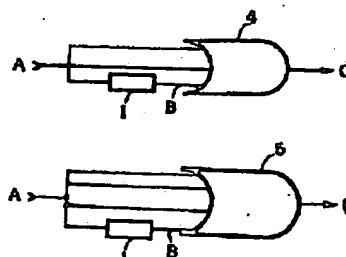
【図4】



【図6】



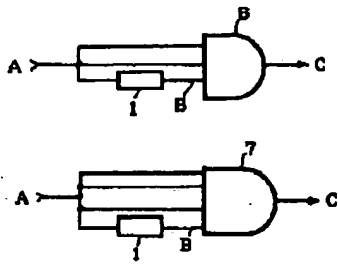
【図5】



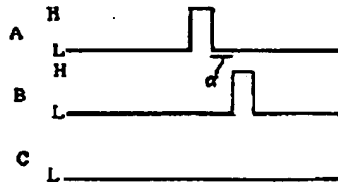
【図14】

X1	X0	Z0	Z1	Z2	Z3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

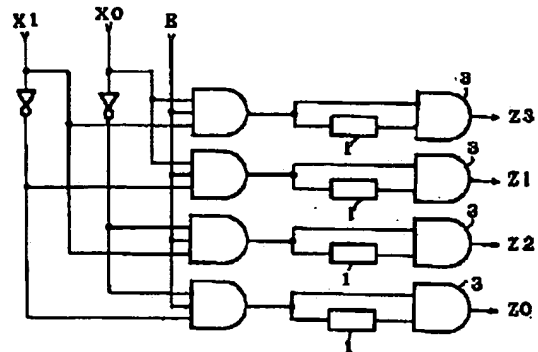
【図7】



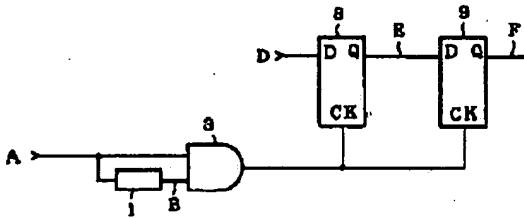
【図8】



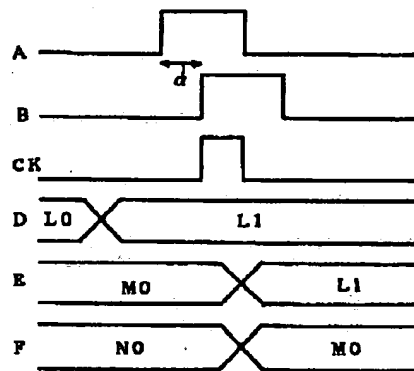
【図9】



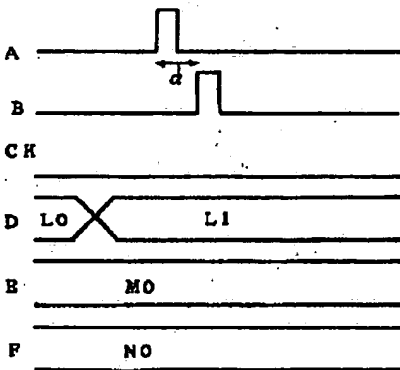
【図10】



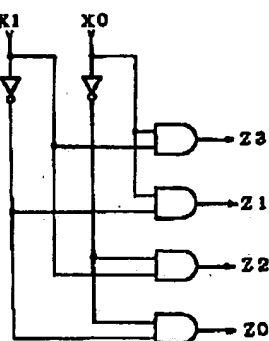
【図11】



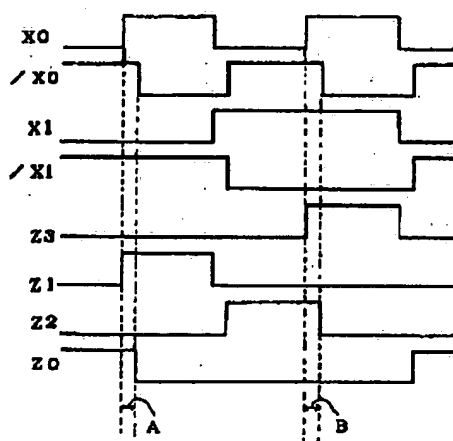
【図12】



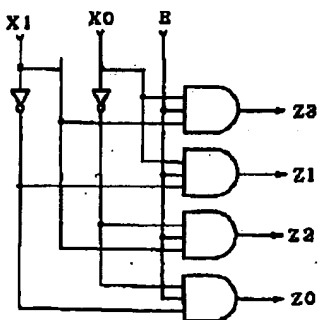
【図13】



【図15】



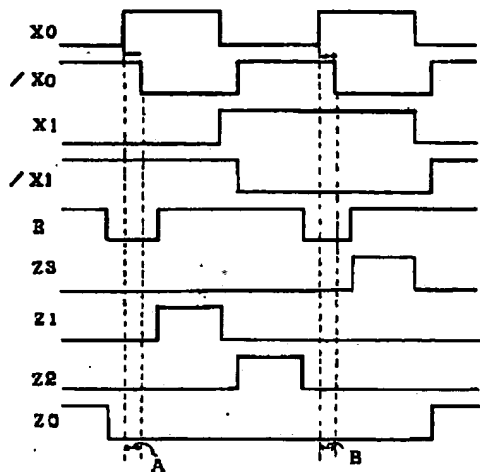
【図16】



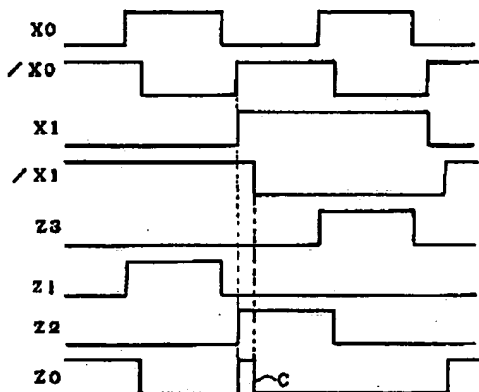
【図17】

X1	X0	E	Z0	Z1	Z2	Z3
0	0	0	0	0	0	0
0	1	0	0	0	0	0
1	0	0	0	0	0	0
1	1	0	0	0	0	0
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

【図18】



【図19】



フロントページの続き

(72)発明者 得丸 武治

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内